

200 V 全碳化硅集成技术

顾 勇¹, 马 杰¹, 刘 奥², 黄润华², 刘斯扬¹, 柏 松², 张 龙^{1*}, 孙伟锋¹

(1. 东南大学集成电路学院, 江苏南京 210096; 2. 南京电子器件研究所, 江苏南京 210016)

摘 要: 本文提出了一种基于N衬底P外延晶圆的全碳化硅(Silicon Carbide, SiC)集成工艺平台, 该工艺平台兼容低压互补金属氧化物半导体场效应晶体管(Complementary Metal Oxide Semiconductor field-effect transistor, CMOS)、横向扩散金属氧化物半导体(Laterally-Diffused MOS, LDMOS)以及高压二极管等器件. 采用P型缓冲层技术调节器件垂直方向电场分布, 使高压器件垂直方向耐受电压提高212.4%; 在1 μm 厚度的P型缓冲层和1 μm 厚度的P型外延层上, 实现LDMOS、高压二极管和高侧区域耐受电压大于300 V. 基于该工艺平台, 搭建了SiC CMOS反相器和反相器链电路, 均实现了0~20 V轨至轨的电压输出; 设计了半桥驱动电路, 低压侧驱动电路由四阶反相器构成; 高压侧驱动电路由电平移位电路和高侧区域反相器链电路组成, 实现了180~200 V浮空栅极驱动信号输出.

关键词: 碳化硅(SiC); 集成; 碳化硅集成电路; 碳化硅反相器; 碳化硅横向扩散金属氧化物半导体

基金项目: 国家自然科学基金(No.62274032, No.62174029); 江苏省科技成果转化专项资金项目(No.BA2022005)

中图分类号: TN305; TN432 **文献标识码:** A **文章编号:** 0372-2112(2024)07-2183-07

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20230782

200 V All-SiC Integration Technology

GU Yong¹, MA Jie¹, LIU Ao², HUANG Run-hua², LIU Si-yang¹, BAI Song², ZHANG Long^{1*}, SUN Wei-feng¹

(1. School of Integrated Circuits, Southeast University, Nanjing, Jiangsu 210096, China;

2. Nanjing Institute of Electronic Devices, Nanjing, Jiangsu 210016, China)

Abstract: An all silicon carbide integrated process platform based on the wafer with N-substrate and P-epitaxy is proposed in this paper, which is compatible with CMOS (Complementary Metal Oxide Semiconductor field-effect transistor) devices, LDMOS (Laterally-Diffused MOS) and high-voltage diodes. A P-buffer layer is adopted to modulate the vertically distributed electric field and potential, which results in 212.4% improvement in vertical voltage withstanding. The LDMOS, high voltage diode and high side region can achieve more than 300 V breakdown voltage in 2 μm P-type epitaxial layer. Based on this platform, SiC (Silicon Carbide) CMOS inverter and inverter chain are constructed, all of which achieve voltage output ranging from 0~20 V with rail-to-rail capability. A half-bridge driving circuit is designed with a four-stage inverter chain as the low-side driver circuit. The high-side driver circuit consists of level-shifting circuit and a high-side region inverter chain circuit, producing an output of 180~200 V floating gate drive signal.

Key words: silicon carbide (SiC); integration; silicon carbide integrated circuit; SiC inverter; SiC laterally-diffused metal Oxide semiconductor

Foundation Item(s): National Natural Science Foundation of China (No.62274032, No.62174029); Technological Achievements of Jiangsu Province (No.BA2022005)

1 引言

碳化硅(Silicon Carbide, SiC)作为第三代半导体材料, 具有临界击穿电场高、热导率高、饱和电子漂移速度快等优势. 相较于硅基器件, SiC基功率器件在耐高压、抗辐射、耐高温等方面具有明显优势^[1-3], 在轨道交通、新能源汽车、航空航天、特高压等领域具有广阔的应用前景. 然而, 目前与SiC功率器件匹配使用的低压

驱动电路集成于硅基芯片上, 其耐高温、抗辐射能力显著低于SiC器件, 导致SiC功率器件的优势并未充分发挥. 同时, 硅基芯片上的电路与SiC功率器件间的金属绑定线增大了芯片的内部寄生. 若实现全SiC集成芯片^[4,5], 即低压电路也集成在SiC衬底上, 则SiC器件材料的耐高温、抗辐射优势可以完全展现, 寄生参数也将大幅降低.

到目前为止,已有许多基于全 SiC 集成电路的报道^[6-10]. 2021 年,日本产业技术综合研究所报道了 1.2 kV 沟槽型 SiC VDMOS 与单级 SiC CMOS 反相器的集成电路. 其中,CMOS 反相器用于驱动 VDMOS (Vertical Double-diffused Metal Oxide Semiconductor field effect transistor) 栅极,该电路实现了 VDMOS 在 600 V、10 A 条件下的开关功能^[11,12]. 同年,纽约州立大学和北卡罗莱纳州立大学等高校报道了一种 5 阶 SiC CMOS 反相器链和横向 500 V SiC MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 的全 SiC 集成电路^[13],该结构采用 N 衬底 N 外延晶圆,验证了 SiC CMOS 电路可在 200 °C 的温度下正常工作. 2022 年,台湾阳明交通大学

提出了一种新型全 SiC 集成结构,将全 SiC 集成芯片的最高适用温度提升到了 300 °C^[14]. 然而,上述全 SiC 集成电路大多集成度低,构成电路的器件仅包括 CMOS 和功率 MOSFET,尚未有实现高低压隔离的结构.

本文提出了一种基于 N 型衬底和 P 型外延全 SiC 集成工艺平台如图 1 所示,该工艺平台兼容 CMOS、LDMOS、高压二极管等器件. 基于该工艺平台,搭建了反相器和反相器链电路以及可实现高低压隔离的半桥驱动电路,实验测试表明,反相器和反相器链电路实现了轨至轨的电压输出,提出的全 SiC 集成半桥驱动电路可在 200 V 下实现低压侧 0~20 V 和高压侧 180~200 V 的方波输出.

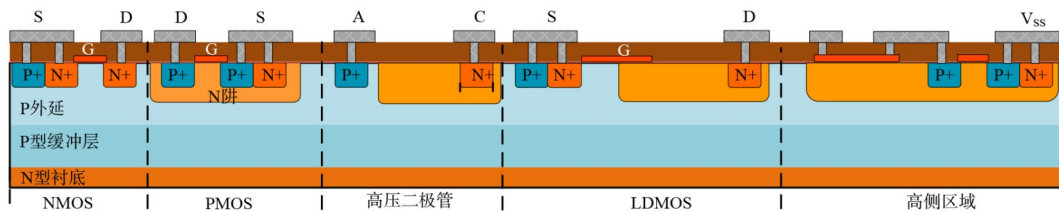


图 1 全 SiC 集成工艺剖面结构示意图

2 SiC 基半桥驱动电路工艺平台

本文提出的全 SiC 集成工艺平台,集成了 NMOS、PMOS、高压二极管、LDMOS 等器件. 本工艺的关键步骤如图 2 所示, SiC 衬底用 6 inch N 型衬底 4H-SiC 晶圆, 衬底掺杂浓度 $7.0 \times 10^{18} \text{ cm}^{-3}$. 选用 P 型外延层以简化器件之间, 高侧区域 N 阱与低侧电路区域之间隔离结构设计. 为了提升器件的纵向耐压, 在衬底与 P 型外延层之间引入 P 型缓冲层, P 型缓冲层掺杂浓度 $1.0 \times 10^{17} \text{ cm}^{-3}$, 厚度为 $1 \mu\text{m}$; P 型外延层掺杂浓度 $1.0 \times 10^{16} \text{ cm}^{-3}$, 厚度为 $1 \mu\text{m}$. N 阱、N+ 和 P+ 区域均采用多次离子注入形成. N 阱离子注入剂量为 $4.0 \times 10^{12} \text{ cm}^{-2}$, 注入能量在 50~400 keV 之间. N+ 和 P+ 区域则分别由氮离子和铝离子注入形成, 注入剂量在 $8 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ 之间, 离子注入能量为 60~120 keV. 经 $1650 \text{ }^\circ\text{C}$ 退火之后生长栅极氧化层, 采用湿法氧化工艺氧化 30 min, 栅极氧化层厚度 450 \AA . 之后淀积多晶硅, 淀积厚度 $0.5 \mu\text{m}$, 经掺杂和刻蚀之后用于形成器件的栅极, 然后进行氧化层淀积和刻蚀通孔. 最后, 采用金属镍和铝实

现欧姆接触和电极之间的互联. 该工艺的具体工艺参数如表 1 所示.

表 1 全 SiC 集成工艺参数

参数	数值
衬底浓度	$7.0 \times 10^{18} \text{ cm}^{-3}$
P 型缓冲层厚度	$1.0 \mu\text{m}$
P 型缓冲层浓度	$1.0 \times 10^{17} \text{ cm}^{-3}$
P 型外延层厚度	$1.0 \mu\text{m}$
P 型外延层浓度	$1.0 \times 10^{16} \text{ cm}^{-3}$
LDMOS 沟道长度	$1.7 \mu\text{m}$
栅氧厚度	450 \AA
N 阱浓度	$4.0 \times 10^{12} \text{ cm}^{-2}$
LDMOS 漂移区长度	$10 \mu\text{m}$
多晶硅掺杂浓度	$1.0 \times 10^{19} \text{ cm}^{-3}$

3 全 SiC 集成高低压器件设计

基于本文提出的全 SiC 集成工艺制备的 CMOS 器件显微镜照片如图 3 所示, NMOS 和 PMOS 器件宽度 W 和沟道长度 L 均为 $4.8 \mu\text{m}$ 和 $2 \mu\text{m}$. NMOS 和 PMOS 在 $25 \text{ }^\circ\text{C}$ 下 I-V 特性曲线、转移特性曲线以及击穿特性曲线如图 4 所示. 经测试, NMOS 在 $V_{\text{GS}}=20 \text{ V}$ 的饱和电流为 0.96 mA , 阈值电压为 5.5 V , 击穿电压 42 V . 在 $V_{\text{GS}}=-20 \text{ V}$ 条件下, 测得 PMOS 饱和电流为 $30 \mu\text{A}$, 阈值电压为 -7.6 V , 击穿电压为 47 V . LDMOS 和高压二极管与 PMOS 均采用同一 N 阱工艺, 器件的显微镜照片分别如图 5(a) 和图 5(b) 所示. LDMOS 沟道长度为 $2 \mu\text{m}$, 漂移区长度为 $4 \mu\text{m}$, 宽度为 $600 \mu\text{m}$, 高压二极管漂移

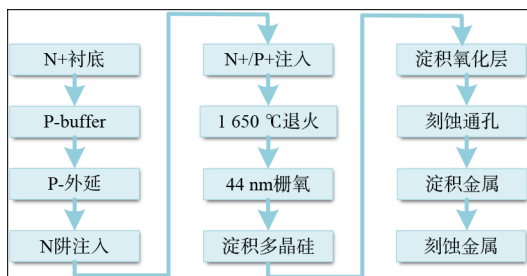
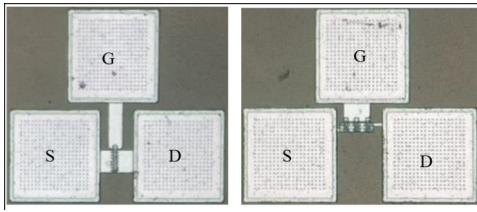
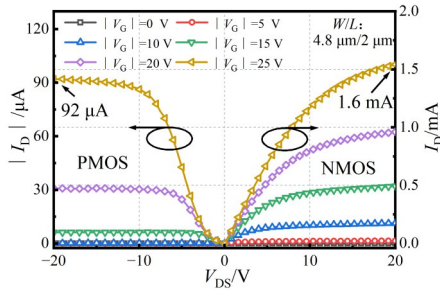


图 2 全 SiC 集成关键步骤

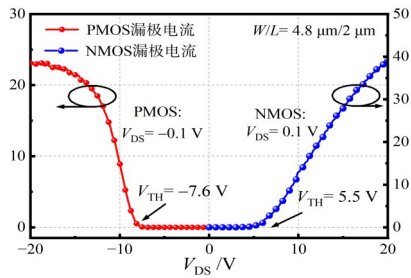


(a) NMOS (b) PMOS

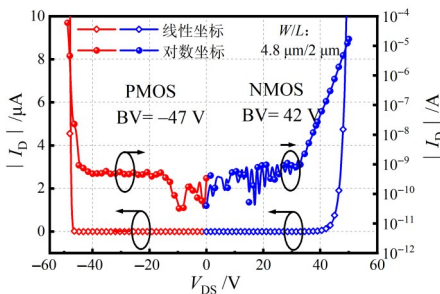
图3 器件显微镜照片



(a) I-V 特性曲线



(b) 转移特性曲线

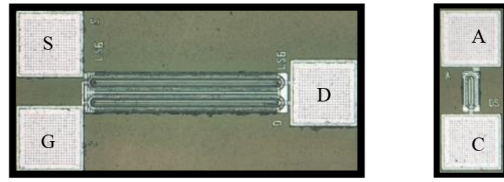


(c) 关态击穿特性曲线

图4 NMOS和PMOS的特性曲线对比

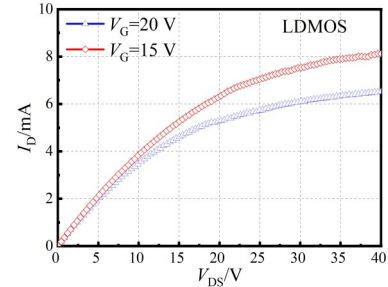
区长度也为 $4 \mu\text{m}$. LDMOS 的 I-V 特性曲线、转移特性曲线和高压二极管的击穿特性曲线依次如图 6(a)~(c) 所示. LDMOS 饱和电流 8 mA ($V_{GS}=20 \text{ V}$), 阈值电压 1.7 V , 高压二极管的正向导通电压为 3.7 V .

为使在较薄 P 型外延层上尽可能提升高压器件的纵向耐压, 故引入 P 型缓冲层. 以 LDMOS 为例, 基于 $1 \mu\text{m}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 的 P 型外延层, 通过仿真验证, 当缓冲

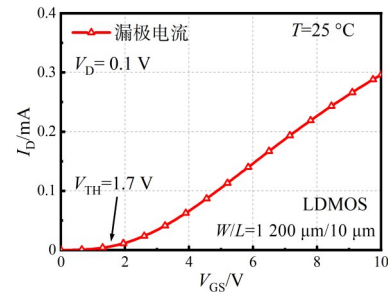


(a) SiC LDMOS 显微镜照片 (b) SiC 高压二极管显微镜照片

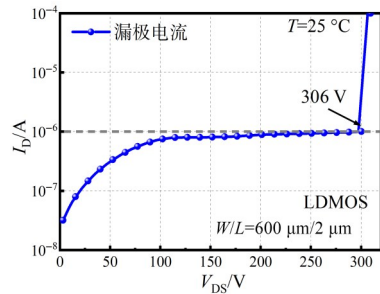
图5 LDMOS 直条状版图布局显微镜照片



(a) I-V 特性曲线



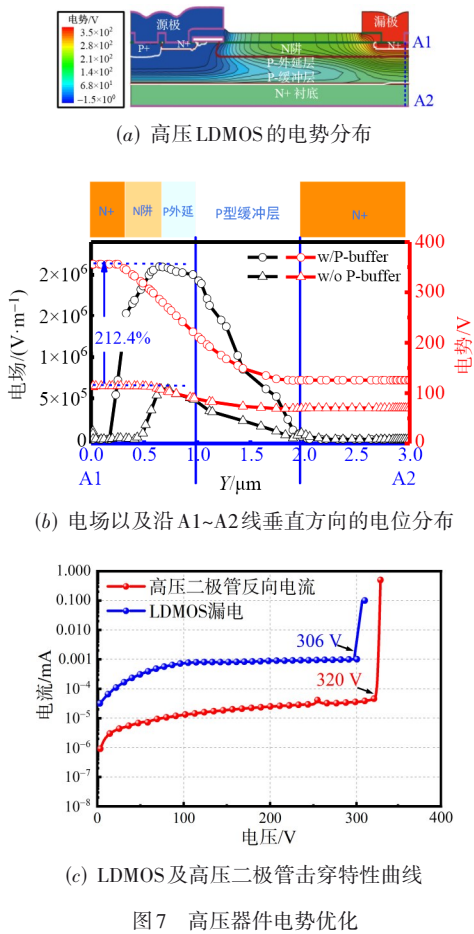
(b) 转移特性曲线



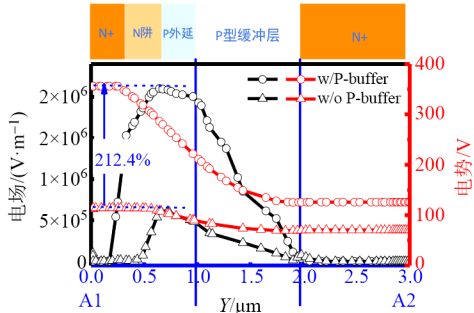
(c) 击穿特性曲线

图6 LDMOS 的电学特性曲线

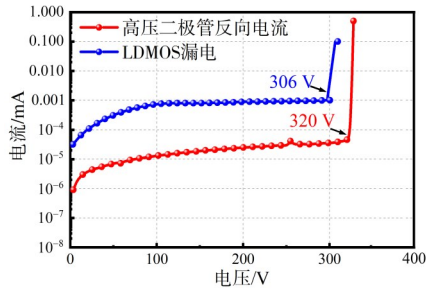
层浓度设置在 $1 \times 10^{17} \text{ cm}^{-3}$ 左右时, 器件击穿电压最大. 其在击穿时刻电势分布图如图 7(a) 所示, 沿器件 A1~A2 方向的电场和电势分布图如图 7(b) 所示, 由于采用 P 型缓冲层辅助耐压, 在垂直方向上得到了更大的电场尖峰. 相较于缓冲层等于外延层浓度时, LDMOS 击穿电压提升了 212.4%, 击穿电压达到 306 V , 而高压二极管的反向击穿电压达到了 320 V , 二者的击穿特性曲线如图 7(c) 所示.



(a) 高压 LDMOS 的电势分布



(b) 电场以及沿 A1~A2 线垂直方向电位分布



(c) LDMOS 及高压二极管击穿特性曲线

图 7 高压器件电势优化

4 全 SiC 集成半桥驱动电路设计

目前, SiC MOSFET 主要应用于半桥模块中的功率器件, 并由半桥驱动电路进行驱动. 传统的 SiC MOSFET 半桥功率模块大多由硅基驱动芯片与 SiC MOSFET 通过金属引线键合共同封装, 这使驱动模块存在很大的寄生效应, 为降低寄生效应, 同时提升半桥模块的耐高温和抗辐射特性, 本文提出了全 SiC 集成半桥驱动电路, 其电路原理如图 8 所示. 低压侧驱动电路为四级反相器链组成的输入缓冲器. 高压侧驱动电路的输入级则有二级反相器链构成, 输入级的输出信号再经以 Poly 电阻、LDMOS、高压二极管构成的电平移位电路转化后, 最终再经高侧区域以电阻负载的反相器链输出. 该电路主要包括 4 个部分: CMOS 反相器链电路、电平移位电路、高侧区域、高压侧反相器链. 笔者依次介绍 CMOS 反相器链、电平移位电路、高侧区域及高压侧反相器链电路, 以及全 SiC 集成半桥驱动电路.

4.1 全 SiC 集成 CMOS 反相器电路设计

本文搭建的 SiC CMOS 反相器如图 9(a) 所示. 在对反相器进行设计时, NMOS 器件宽度 W_n 为 $10 \mu\text{m}$, PMOS 器件宽度 W_p 为 $160 \mu\text{m}$, 沟道长度 L 均为 $2.4 \mu\text{m}$, CMOS

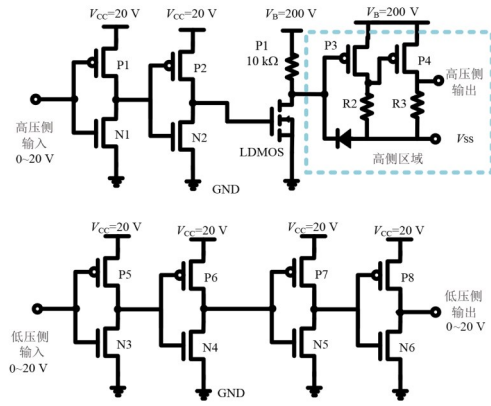
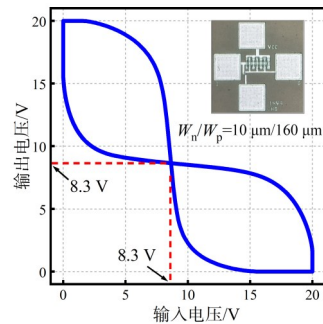
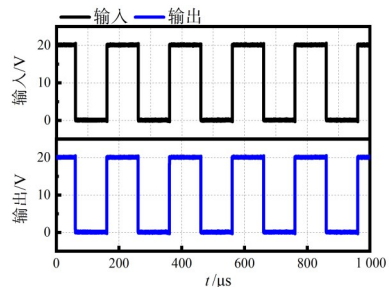


图 8 SiC 全集成半桥驱动电路图

器件的额定工作电压 $V_{CC}=20 \text{ V}$. SiC 反相器的输入-输出曲线如图 9(a) 所示, 反相器的输出电压实现了 0~20 V 轨至轨输出, 然而由于本轮工艺设计的 NMOS 与 PMOS 阈值电压不完全对称, 导致反相器的反转电压为 8.3 V, 偏离设计时的 10 V, 这将在未来的工作中改进. 为适用输出缓冲器, 本文还搭建了四阶反相器链, 在 0~20 V 输入信号下, 四阶反相器链的输入输出曲线如图 9(b) 所示, 四阶反相器链仍可实现 0~20 V 满摆幅输出波形.



(a) 反相器的输入-输出特性曲线及显微镜照片



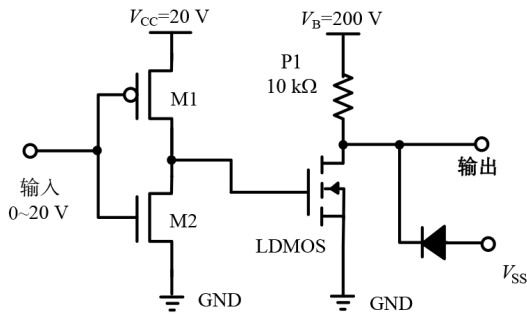
(b) 四阶反相器链的输入-输出曲线

图 9 反相器及反相器链输出特性

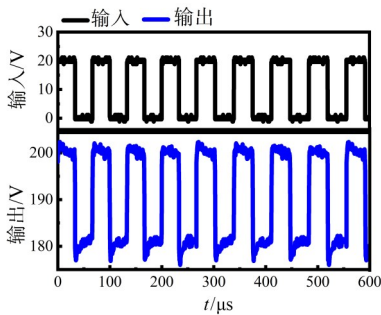
4.2 全 SiC 集成电平移位电路

全 SiC 集成电平移位电路如图 10(a) 所示, 其中以单级 CMOS 反相器作输入级, V_B 施加 200 V 电压, 经 $10 \text{ k}\Omega$ 的 Poly 电阻连接 LDMOS 漏极. V_{SS} 信号经高压二

极管连接到 LDMOS 漏极. 输入 0~20 V 方波信号, 调节 V_{SS} 电压, 使 LDMOS 漏极输出 180~200 V 电压, 输出波形如图 10(b) 所示.



(a) 全 SiC 集成电平移位电路



(b) 电路的输入-输出曲线

图 10 电平移位电路及其输出特性

4.3 高压侧反相器链电路

由于半桥电路中上端的 MOS 管衬底电位浮置, 故上端 MOS 管的驱动电路也需浮置于固定电位 V_{SS} , 为避免高压侧电路与低压侧电路之间的串扰, 二者之间势必要引入隔离结构. 本文高侧区域采用 N 阱工艺, 以 PN 结隔离的方式将高侧区域电路与其他区域电路进行隔离, 隔离结构剖面如图 11 所示, 经测试, 隔离电压达到 332 V.

由于本次工艺尚未开发 P 阱, 故高侧区域电路中的反相器采用电阻负载型的 PMOS 反相器, 电路图及显微

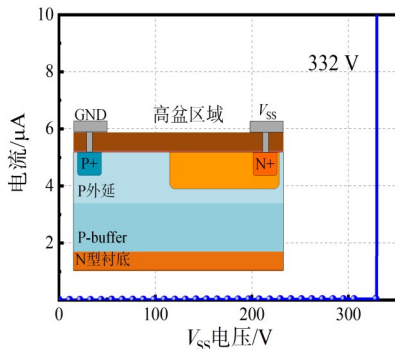
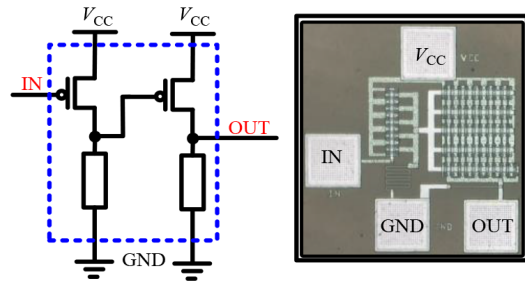
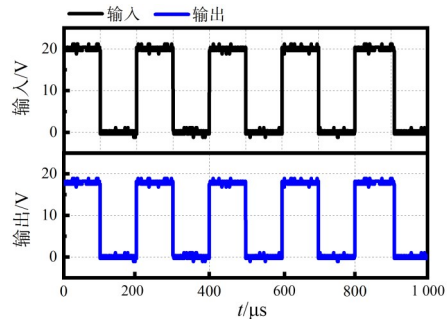


图 11 高侧区域隔离结构击穿电压

镜照片如图 12(a) 所示. 负载电阻为 10 kΩ 多晶硅电阻. V_{CC} 等于 20 V, 输入 0~20 V 方波信号, 输出信号如图 12(b) 所示. 由于电阻负载型反相器自身特性, 输出电压摆幅为 0~18 V.



(a) 以电阻为负载的反相器链电路原理图



(b) 电路显微照片及电路输入-输出曲线

图 12 电阻负载的反相器链及其输出特性

4.4 全 SiC 集成半桥驱动电路

图 13 是本文提出的全 SiC 半桥驱动电路显微照片, V_B 连接 200 V 电压, 低压侧输入 LI 和高压侧输入 HI 均为 0~20 V 方波信号. 低压侧电路为四阶反相器链, 经测试, 四阶反相器电路可实现满摆幅输出. 高压侧驱动电路首先由两级 CMOS 反相器构成输入级, 后经 LDMOS, 高压二极管和 10 kΩ 多晶硅电阻组成的电平移位电路将 LDMOS 漏极输出电压钳制在 $(V_{SS} \sim V_F)$ 至 V_B 的电压范围内. 由于高压侧反相器电路采用 PMOS 和多晶硅电阻的组合, 未能实现满摆幅输出, 调节 V_{SS} , 最终使输出电压在 180~200 V 电压范围内, 此时高压侧驱动和低压侧驱动电路的输入输出曲线如图 14 所示.

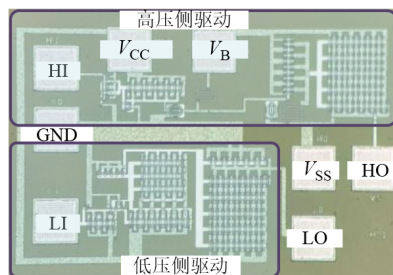


图 13 全 SiC 集成半桥驱动电路芯片表面显微照片

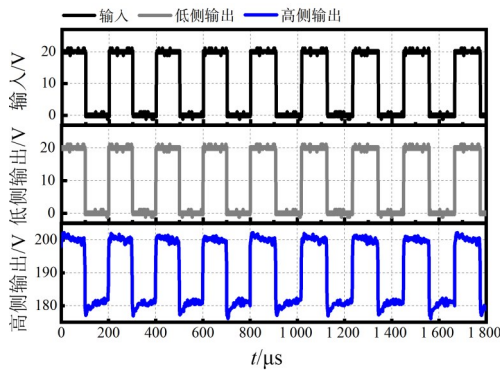


图 14 全SiC集成半桥驱动电路输入输出曲线

5 结论

本文提出了一种全SiC集成技术. 该技术兼容 20 V CMOS 和 300 V LDMOS、高压二极管等器件; 采用 P 型缓冲层技术, 使高压器件在 1 μm 厚度的 P 型缓冲层和 P 型外延层上实现大于 300 V 的耐压; 高测区域隔离电压达到 332 V. 基于以上器件, 搭建了 SiC 反相器、二级和四级 SiC 反相器链以及半桥驱动电路. SiC 反相器, SiC 反相器链实现满摆幅输出, 电平移位电路可将 0~20 V 输入转移至 180~200 V 输出; 在 200 V 电压下, 半桥驱动电路高压侧和低压侧分别实现 180~200 V 和 0~20 V 的输出.

参考文献

- [1] BHATNAGAR M, BALIGA B J. Comparison of 6H-SiC, 3C-SiC, and Si for power devices[J]. *IEEE Transactions on Electron Devices*, 1993, 40(3): 645-655.
- [2] WANG G Y, HUANG X, WANG J, et al. Comparisons of 6.5kV 25A Si IGBT and 10-kV SiC MOSFET in solid-state Transformer application[C]//2010 IEEE Energy Conversion Congress and Exposition. Piscataway: IEEE, 2010: 100-104.
- [3] 何其恢, 朱立东. 一种基于双图案的卫星信号能量检测粗同步方法[J]. *电子学报*, 2022, 50(3): 524-532.
HE Q H, ZHU L D. Double pattern based coarse synchronization method using energy detection for satellite signal[J]. *Acta Electronica Sinica*, 2022, 50(3): 524-532. (in Chinese)
- [4] LAM M P, KORNEGAY K T. Recent progress of submicron CMOS using 6H-SiC for smart power applications[J]. *IEEE Transactions on Electron Devices*, 1999, 46(3): 546-554.
- [5] CHEN J S, KORNEGAY K T, RYU S H. A silicon carbide CMOS intelligent gate driver circuit with stable operation over a wide temperature range[J]. *IEEE Journal of Solid-State Circuits*, 1999, 34(2): 192-204.
- [6] LEE J Y, SINGH S, COOPER J A. Demonstration and characterization of bipolar monolithic integrated circuits in 4H-SiC[J]. *IEEE Transactions on Electron Devices*, 2008, 55(8): 1946-1953.
- [7] NEUDECK P G, SPRY D J, CHEN L Y, et al. Stable electrical operation of 6H-SiC JFETs and ICs for thousands of hours at 500 °C[J]. *IEEE Electron Device Letters*, 2008, 29(5): 456-459.
- [8] CHEONG H J, BAHNG W, KANG I H, et al. Effect of high temperature annealing on the characteristics of SiC schottky diodes[J]. *Journal of the Korean Institute of Electrical and Electronic Material Engineers*, 2006, 19(9): 818-824.
- [9] LI H F, DIMITRIJEV S, SWEATMAN D, et al. Effect of NO annealing conditions on electrical characteristics of n-type 4H-SiC MOS capacitors[J]. *Journal of Electronic Materials*, 2000, 29(8): 1027-1032.
- [10] 周郁明, 穆世路, 杨华, 等. Si/SiC 混合开关最优门极延时及其在逆变器中的应用[J]. *电子学报*, 2023, 51(6): 1468-1473.
ZHOU Y M, MU S L, YANG H, et al. Optimal gate turn-off delay-time of Si/SiC hybrid switch and its application in inverter[J]. *Acta Electronica Sinica*, 2023, 51(6): 1468-1473. (in Chinese)
- [11] OKAMOTO M, YAO A, SATO H, et al. First demonstration of a monolithic SiC power IC integrating a vertical MOSFET with a CMOS gate buffer[C]//2021 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD). Piscataway: IEEE, 2021: 71-74.
- [12] OKAMOTO M, YAO A, SATO H, et al. Realization of monolithic SiC power IC utilizing the compatible process for CMOS and power MOSFET[C]//2022 6th IEEE Electron Devices Technology & Manufacturing Conference (EDTM). Piscataway: IEEE, 2022: 195-197.
- [13] ISUKAPATI S B, ZHANG H, LIU T U, et al. Monolithic integration of lateral HV power MOSFET with LV CMOS for SiC power IC technology[C]//2021 33rd International Symposium on Power Semiconductor Devices and ICs (ISPSD). Nagoya: IEEE, 2021: 267-270.
- [14] TSUI B Y, TSAIT K, HUNG C L, et al. Design and characterization of the junction isolation structure for mono-

lithic integration of planar CMOS and vertical power MOSFET on 4H-SiC up to 300 °C[C]//2022 International Electron Devices Meeting (IEDM). Piscataway: IEEE, 2022: 9.3.1-9.3.4.

作者简介



顾 勇 男,1996年2月出生.东南大学博士研究生.主要研究方向为碳化硅半导体集成工艺及器件.

E-mail: yonggu@seu.edu.cn



马 杰 男,1995年4月出生.东南大学博士后.主要研究方向为碳化硅半导体集成工艺及器件.

E-mail: mj_seu@seu.edu.cn



刘斯扬 男,1987年出生.东南大学博士后,东南大学青年首席教授,博士生导师.主要研究方向为功率半导体集成工艺及器件.中国电子学会会员编号:E190029952M.

E-mail: liusy2017@seu.edu.cn



张 龙 男,1986年出生.东南大学博士后,副高级职称,博士生导师.主要研究方向为功率半导体集成工艺及器件.中国电子学会会员编号:E190022693S.

E-mail: longzh@seu.edu.cn



孙伟锋 男,1977年出生,江苏武进人.2000年、2003年、2007年于东南大学分别获得学士、硕士及博士学位.目前为东南大学首席教授,国家高层次人才,江苏特聘教授,博士生导师.主要研究方向为功率集成电路.中国电子学会会员编号:E190009272S.

E-mail: swffrog@seu.edu.cn